

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 2月16日  
Date of Application:

出願番号 特願2004-037902  
Application Number:  
[ST. 10/C]: [JP2004-037902]

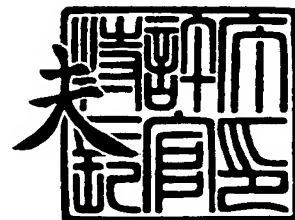
出願人 NECエレクトロニクス株式会社  
Applicant(s):



2004年 3月 2日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



【書類名】 特許願  
【整理番号】 74120116  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/768  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内  
    【氏名】 川野 連也  
【特許出願人】  
    【識別番号】 302062931  
    【氏名又は名称】 NECエレクトロニクス株式会社  
【代理人】  
    【識別番号】 100124914  
    【弁理士】  
    【氏名又は名称】 徳丸 達雄  
    【電話番号】 044-435-1421  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2003- 45740  
    【出願日】 平成15年 2月24日  
【手数料の表示】  
    【予納台帳番号】 235587  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0316164

## 【書類名】特許請求の範囲

## 【請求項 1】

半導体基板上に下層配線を形成する工程と、前記下層配線を覆って多層からなる絶縁膜を形成する工程と、前記絶縁膜に配線溝と前記下層配線へのビアホールとを形成する工程と、前記配線溝に上層配線を埋め込むと同時に、前記ビアホールに前記下層配線と前記上層配線とを接続するビアを形成する工程とを有する半導体装置の製造方法において、前記絶縁膜形成後のプロセスによって前記ビア近傍にボイドが生じる臨界的な応力の値  $A$  と、前記絶縁膜の熱膨張係数の体積平均  $\alpha'_{diel}$  及び前記ビアおよび前記上層配線の熱膨張係数  $\alpha$ 、弾性率  $E$ 、ポアッソン比  $\nu$ 、応力緩和温度  $T$  とを用いて、式 (1) を満たすように前記絶縁膜形成後のプロセス最高温度  $T_{process\_max}$  を設定することを特徴とする半導体装置の製造方法。

## 【数 1】

$$(\alpha - \alpha'_{diel}) \frac{E}{1 - \nu} (T_{process\_max} - T) \leq A$$

## 【請求項 2】

前記下層配線、上層配線及びビアを形成する工程において、前記下層配線、上層配線及びビアとして金属を用いることを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【請求項 3】

請求項 2 記載の半導体装置の製造方法において、前記下層配線および前記上層配線として銅を主成分とする金属を含み、応力緩和温度  $T=300^{\circ}\text{C}$ 、 $A=200\text{MPa}$  として、プロセスの最高温度  $T_{process\_max}$  を設定することを特徴とする半導体装置の製造方法。

## 【請求項 4】

請求項 2 記載の半導体装置の製造方法において、前記下層配線および前記上層配線が銅を主成分とする金属を含み、プロセスの最高温度  $T_{process\_max}$  が  $450^{\circ}\text{C}$  以下であることを特徴とする半導体装置の製造方法。

## 【請求項 5】

半導体基板上に下層配線を形成する工程と、前記下層配線を覆って多層からなる絶縁膜を形成する工程と、前記絶縁膜に配線溝と前記下層配線へのビアホールとを形成する工程と、前記配線溝に上層配線を埋め込むと同時に、前記ビアホールに前記下層配線と前記上層配線とを接続するビアを形成する工程とを有する半導体装置の製造方法において、前記絶縁膜形成後のプロセスによって前記ビア近傍にボイドが生じる臨界的な応力の値  $A$  と、前記絶縁膜形成後のプロセス最高温度  $T_{process\_max}$ 、前記ビアおよび前記上層配線の熱膨張係数  $\alpha$ 、弾性率  $E$ 、ポアッソン比  $\nu$ 、応力緩和温度  $T$  とを用いて、式 (2) を満たすように前記絶縁膜の熱膨張係数の体積平均  $\alpha'_{diel}$  を求め、前記絶縁膜の材料及び膜厚比を設定することを特徴とする半導体装置の製造方法。

## 【数 2】

$$(\alpha - \alpha'_{diel}) \frac{E}{1 - \nu} (T_{process\_max} - T) \leq A$$

## 【請求項 6】

前記下層配線、上層配線及びビアを形成する工程において、前記下層配線、上層配線及びビアとして金属を用いることを特徴とする請求項 5 記載の半導体装置の製造方法。

## 【請求項 7】

請求項 6 記載の半導体装置の製造方法において、前記下層配線および前記上層配線として銅を主成分とする金属を含み、応力緩和温度 $T=300^{\circ}\text{C}$ 、 $A=200\text{MPa}$ として、前記絶縁膜の材料及び膜厚比を設定することを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 6 記載の半導体装置の製造方法において、前記下層配線および前記上層配線が銅を主成分とする金属を含み、プロセスの最高温度 $T_{\text{process\_max}}$ が $450^{\circ}\text{C}$ 以下であることを特徴とする半導体装置の製造方法。

【請求項 9】

半導体基板上に形成された下層配線と、前記下層配線を覆って形成された多層からなる絶縁膜と、前記絶縁膜に形成された配線溝に埋め込まれた上層配線と、前記絶縁膜に形成されたビアホールに埋め込まれ、前記上層配線と前記下層配線とを接続するビアとを有する半導体装置において、前記絶縁膜形成後のプロセスによって前記ビア近傍にボイドが生じる臨界的な応力の値 $A$ と、前記絶縁膜の熱膨張係数の体積平均 $\alpha'_{\text{diel}}$ 及び前記ビアおよび前記上層配線の熱膨張係数 $\alpha$ 、弾性率 $E$ 、ポアッソン比 $\nu$ 、応力緩和温度 $T$ とを用いて、式(3)を満たすように前記絶縁膜形成後のプロセス最高温度 $T_{\text{process\_max}}$ が設定されたことを特徴とする半導体装置。

【数 3】

$$(\alpha - \alpha'_{\text{diel}}) \frac{E}{1 - \nu} (T_{\text{process\_max}} - T) \leq A$$

【請求項 10】

前記下層配線、上層配線及びビアが金属を含むことを特徴とする請求項 9 記載の半導体装置。

【請求項 11】

請求項 10 記載の半導体装置において、前記下層配線および前記上層配線として銅を主成分とする金属を含み、応力緩和温度 $T=300^{\circ}\text{C}$ 、 $A=200\text{MPa}$ として、プロセスの最高温度 $T_{\text{process\_max}}$ が設定されたことを特徴とする半導体装置。

【請求項 12】

請求項 10 記載の半導体装置において、前記下層配線および前記上層配線が銅を主成分とする金属を含み、プロセスの最高温度 $T_{\text{process\_max}}$ が $450^{\circ}\text{C}$ 以下であることを特徴とする半導体装置。

【請求項 13】

半導体基板上に形成された下層配線と、前記下層配線を覆って形成された多層からなる絶縁膜と、前記絶縁膜に形成された配線溝に埋め込まれた上層配線と、前記絶縁膜に形成されたビアホールに埋め込まれ、前記上層配線と前記下層配線とを接続するビアとを有する半導体装置において、前記絶縁膜形成後のプロセスによって前記ビア近傍にボイドが生じる臨界的な応力の値 $A$ と、前記絶縁膜形成後のプロセス最高温度 $T_{\text{process\_max}}$ 、前記ビアおよび前記上層配線の熱膨張係数 $\alpha$ 、弾性率 $E$ 、ポアッソン比 $\nu$ 、応力緩和温度 $T$ とを用いて、式(4)を満たすように前記絶縁膜の熱膨張係数の体積平均 $\alpha'_{\text{diel}}$ を求め、前記絶縁膜の材料及び膜厚比が設定されたことを特徴とする半導体装置。

【数 4】

$$(\alpha - \alpha'_{\text{diel}}) \frac{E}{1 - \nu} (T_{\text{process\_max}} - T) \leq A$$

【請求項 14】

前記下層配線、上層配線及びビアが金属を含むことを特徴とする請求項 13 記載の半導体装置。

**【請求項 15】**

請求項 14 記載の半導体装置において、前記下層配線および前記上層配線として銅を主成分とする金属を含み、応力緩和温度 $T=300^{\circ}\text{C}$ 、 $A=200\text{MPa}$ として、前記絶縁膜の材料及び膜厚比が設定されたことを特徴とする半導体装置。

**【請求項 16】**

請求項 14 記載の半導体装置において、前記下層配線および前記上層配線が銅を主成分とする金属を含み、プロセスの最高温度 $T_{\text{process\_max}}$ が $450^{\circ}\text{C}$ 以下であることを特徴とする半導体装置。

**【請求項 17】**

半導体基板上に形成された下層配線と、前記下層配線を覆って形成された多層からなる絶縁膜と、前記絶縁膜に形成された配線溝に埋め込まれた上層配線と、前記絶縁膜に形成されたビアホールに埋め込まれ、前記上層配線と前記下層配線とを接続するビアとを有する半導体装置において、前記絶縁膜の一部にラダーオキサイドを含むことを特徴とする半導体装置。

**【請求項 18】**

請求項 17 記載の半導体装置において、前記絶縁膜の他の一部にSiCを含むことを特徴とする半導体装置。

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に多層配線を有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

近年、半導体集積回路のチップサイズの小型化を実現するため、チップ内配線を多層にする技術が注目されている。チップ内配線を多層にした場合、下層配線と上層配線の間に層間絶縁膜が形成され、ビアによって両者が接続される。配線の高集積化を実現するためには、ビアの径を微細化する必要があるが、この場合、層間絶縁膜と配線との間の応力が微細化されたビア近傍に集中し、ビアにダメージが発生するという問題が生じる。従来、図7に示すように、配線と層間絶縁膜との間の応力を小さくするために、アルミ配線の上に層間絶縁膜としてフッ素含有の酸化シリコン膜を設けた構成が提案されている（特開平7-169833号公報（特許文献1））。

【0003】

この従来の技術では、半導体基板201上に絶縁膜202を介して選択的に形成されたアルミ配線203の上にフッ素含有の酸化シリコン膜204を形成することによって、アルミ配線203にかかる応力を低減し、アルミ配線の断線、抵抗の増加を防止することを目的としている。

【0004】

【特許文献1】特開平7-169833号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記の従来技術では、アルミ配線とアルミ配線の上に形成した層間絶縁膜との間の応力に着目している。しかしながら、応力が集中するのは、上層配線と下層配線とを接続するビア部分である。従って、配線には影響が無い程度の応力でも、配線に伝達された応力によってビアに応力が集中することによって、ビア近傍にボイドが発生し、抵抗の上昇を招くという問題が発生する。また、通常、層間絶縁膜は複数の材料で構成されるが、従来例では配線への応力緩和を一つの層間絶縁膜を変更することで実現しようとしている。しかしながら、複数の層間絶縁膜全体から受ける応力を低減しない限り、配線の歩留まり向上は達成できない。

【0006】

また、従来例では、多層からなる層間絶縁膜の一つの層（具体的にはフッ素含有酸化シリコン膜）の成膜温度が高々200℃以下にできるということを言及しているのみである。しかし、銅を用いた配線では、高温時に銅がストレス緩和をして、温度降下時に引っ張り残留応力を生じることから、引っ張り残留応力の低減には、プロセス最高温度が重要となる。したがって、プロセスの一部の低温化を行ったとしても、歩留まり低下および信頼性低下は免れない。

【0007】

また、従来はビアにかかる応力の計算には3次元シミュレーション等の手法を用いる必要があり、多くの工数を要していた。

【0008】

本願発明は、複数の層間絶縁膜を有する半導体装置の製造方法において、複数の層間絶縁膜からの応力を抑制した半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明は、半導体基板上に下層配線を形成する工程と、下層配線を覆って多層からなる絶

縁膜を形成する工程と、絶縁膜に配線溝と前記下層配線へのビアホールとを形成する工程と、配線溝に上層配線を埋め込むと同時に、ビアホールに下層配線と上層配線とを接続するビアを形成する工程とを有する半導体装置の製造方法において、絶縁膜形成後のプロセスによってビア近傍にボイドが生じる臨界的な応力の値Aと、絶縁膜の熱膨張係数の体積平均  $\alpha'_{diel}$  及びビアおよび上層配線の熱膨張係数  $\alpha$ 、弾性率E、ポアッソン比  $\nu$ 、応力緩和温度Tとを用いて、式(1)を満たすように絶縁膜形成後のプロセス最高温度  $T_{process\_max}$  を設定することを特徴とする。

【0010】

【数1】

$$(\alpha - \alpha'_{diel}) \frac{E}{1 - \nu} (T_{process\_max} - T) \leq A$$

また、下層配線、上層配線及びビアとして金属を用いてもよい。

【0011】

さらに、下層配線および前記上層配線として銅を主成分とする金属を含む場合においては、応力緩和温度  $T=300^{\circ}\text{C}$ 、 $A=200\text{MPa}$  として、プロセスの最高温度  $T_{process\_max}$  を設定することをも特徴とする。

【0012】

さらに、下層配線および上層配線が銅を主成分とする金属を含む場合には、プロセスの最高温度  $T_{process\_max}$  が  $450^{\circ}\text{C}$  以下であることを特徴とする。また、本発明は半導体基板上に下層配線を形成

する工程と、下層配線を覆って多層からなる絶縁膜を形成する工程と、絶縁膜に配線溝と下層配線へのビアホールとを形成する工程と、配線溝に上層配線を埋め込むと同時に、ビアホールに下層配線と上層配線とを接続するビアを形成する工程とを有する半導体装置の製造方法において、絶縁膜形成後のプロセスによってビア近傍にボイドが生じる臨界的な応力の値Aと、絶縁膜形成後のプロセス最高温度  $T_{process\_max}$ 、ビアおよび上層配線の熱膨張係数  $\alpha$ 、弾性率E、ポアッソン比  $\nu$ 、応力緩和温度Tとを用いて、式(2)を満たすように絶縁膜の熱膨張係数の体積平均  $\alpha'_{diel}$  を求め、絶縁膜の材料及び膜厚比を設定することを特徴とする。

【0013】

【数2】

$$(\alpha - \alpha'_{diel}) \frac{E}{1 - \nu} (T_{process\_max} - T) \leq A$$

さらに、本発明は、下層配線、上層配線及びビアを形成する工程において、下層配線、上層配線及びビアとして金属を用いることを特徴とする。

【0014】

また、下層配線および前記上層配線として銅を主成分とする金属を含む場合には、応力緩和温度  $T=300^{\circ}\text{C}$ 、 $A=200\text{MPa}$  として、絶縁膜の材料及び膜厚比を設定することを特徴とする。

【0015】

さらに、下層配線および上層配線が銅を主成分とする金属を含む場合には、プロセスの最高温度  $T_{process\_max}$  が  $450^{\circ}\text{C}$  以下であることを特徴とする。

【0016】

また、本発明は、半導体基板上に形成された下層配線と、下層配線を覆って形成された多層からなる絶縁膜と、絶縁膜に形成された配線溝に埋め込まれた上層配線と、絶縁膜に形成されたビアホールに埋め込まれ、上層配線と下層配線とを接続するビアとを有する半導体装置において、絶縁膜形成後のプロセスによってビア近傍にボイドが生じる臨界的な応力の値Aと、絶縁膜の熱膨張係数の体積平均  $\alpha'_{\text{diel}}$  及びビアおよび上層配線の熱膨張係数  $\alpha$ 、弾性率E、ポアッソン比  $\nu$ 、応力緩和温度Tとを用いて、式(3)を満たすように絶縁膜形成後のプロセス最高温度  $T_{\text{process\_max}}$  が設定されたことを特徴とする。

【0017】

【数3】

$$(\alpha - \alpha'_{\text{diel}}) \frac{E}{1 - \nu} (T_{\text{process\_max}} - T) \leq A$$

また、本発明は、下層配線、上層配線及びビアが金属を含むことを特徴とする。

【0018】

また、本発明は、下層配線および上層配線として銅を主成分とする金属を含む場合には、応力緩和温度  $T=300^{\circ}\text{C}$ 、 $A=200\text{MPa}$  として、プロセスの最高温度  $T_{\text{process\_max}}$  が設定されることを特徴とする。さらに、本発明は、下層配線および上層配線が銅を主成分とする金属を含む場合には、プロセスの最高温度  $T_{\text{process\_max}}$  が  $450^{\circ}\text{C}$  以下であることを特徴とする。また、本発明は、半導体基板上に形成された下層配線と、下層配線を覆って形成された多層からなる絶縁膜と、絶縁膜に形成された配線溝に埋め込まれた上層配線と、絶縁膜に形成されたビアホールに埋め込まれ、上層配線と下層配線とを接続するビアとを有する半導体装置において、絶縁膜形成後のプロセスによってビア近傍にボイドが生じる臨界的な応力の値Aと、絶縁膜形成後のプロセス最高温度  $T_{\text{process\_max}}$ 、ビアおよび上層配線の熱膨張係数  $\alpha$ 、弾性率E、ポアッソン比  $\nu$ 、応力緩和温度Tとを用いて、式(4)を満たすように絶縁膜の熱膨張係数の体積平均  $\alpha'_{\text{diel}}$  を求め、絶縁膜の材料及び膜厚比が設定されることを特徴とする。

【0019】

【数4】

$$(\alpha - \alpha'_{\text{diel}}) \frac{E}{1 - \nu} (T_{\text{process\_max}} - T) \leq A$$

また、下層配線、上層配線及びビアが金属を含むことを特徴とする。

【0020】

さらに、下層配線および上層配線として銅を主成分とする金属を含む場合には、応力緩和温度  $T=300^{\circ}\text{C}$ 、 $A=200\text{MPa}$  として、絶縁膜の材料及び膜厚比が設定されることを特徴とする。

【0021】

さらに、下層配線および上層配線が銅を主成分とする金属を含む場合には、プロセスの最高温度  $T_{\text{process\_max}}$  が  $450^{\circ}\text{C}$  以下であることを特徴とする。また、本発明は、半導体基板上に形成された下層配線と、下層配線を覆って形成された多層からなる絶縁膜と、絶縁膜に形成された配線溝に埋め込まれた上層配線と、絶縁膜に形成されたビアホールに埋め込まれ、上層配線と前記下層配線とを接続するビアとを有する半導体装置において、絶縁膜の一部にラダーオキサイドを含むことを特徴とする。また、絶縁膜の他の一部にSiCを含んでいてもよい。

【0022】

このように、金属配線の応力緩和温度、熱膨張係数、弾性率、ポアッソン比及び、層間膜



の熱膨張係数の体積平均から、応力を計算することによってプロセスの最高温度を容易に得ることができる。

#### 【0023】

また、金属配線の応力緩和温度、熱膨張係数、弾性率、ポアッソン比及び、プロセスの最高温度から、応力を計算することによって最適な層間膜の組み合わせ及び膜厚比を容易に得ることができる。

#### 【発明の効果】

#### 【0024】

このように、本発明によれば、複数の絶縁膜からなる層間絶縁膜が配線に及ぼす応力を計算することにより、配線に抵抗増大の原因となるボイドが発生しないプロセス最高温度、層間絶縁膜の材料や膜厚比を簡便な方法で知ることができる。したがって、ビア側面に特性が異なる複数の絶縁層を形成した場合でも、ビアの抵抗変動を抑制することができるプロセス最高温度、層間絶縁膜の材料や膜厚比を簡便な方法で知ることができ、高い歩留まりで、高い信頼性を有する半導体装置を提供することが可能となる。

#### 【発明を実施するための最良の形態】

#### 【0025】

以下、図面を参照して、本発明の実施の形態について説明する。

#### 【実施例1】

#### 【0026】

本発明の実施例について、図1を参照しながら説明する。

#### 【0027】

まず、一般的に、銅 (Cu) 又はCuを主成分とする合金を配線及びビアに用いる半導体装置において、配線及びビアに高温が印加されるとCuが応力緩和をし、温度降下時に引っ張りの残留応力を生じ、ボイド等の発生により歩留まり低下及び信頼性の低下を招く。したがって、引っ張り残留応力を低減するためには、Cuに印加される温度が重要となる。さらに、一部のプロセスの温度を低下させても、残留応力に関しては効果が少なく、Cu形成時のプロセス温度及びその後の半導体チップのプロセス最高温度が重要である。

#### 【0028】

ここで、CuもしくはCuを主成分とする合金からなる配線及びビアによって直列に接続されたテストパターンを用いて、熱処理前後の抵抗を調べた結果について述べる。抵抗を測定した半導体チップの構造は以下のとおりである。まず、図1に示すように、層間絶縁膜101上に第1ストッパ層102及び第1配線間絶縁膜103が形成されており、第1ストッパ層102及び第1配線間絶縁膜103を選択的に除去して層間絶縁膜101上に第1バリア層104を介して第1配線層105が形成されている。さらに、第1配線層105及び第1配線間絶縁膜103上に第1キャップ層106及びビア間絶縁膜107が形成され、ビア間絶縁膜107上に第2ストッパ層108及び第2配線間絶縁膜109が形成される。第1キャップ層106及びビア間絶縁膜107を選択的に除去して形成されたビアホールと、第2ストッパ層108及び第2配線間絶縁膜109を選択的に除去して形成された配線溝に第2バリア層110を介して第2配線層111が形成されている。なお半導体装置の配線は、第1キャップ層106から第2配線層111の形成まで必要な配線層数だけ繰り返すのが一般的であるが、本実施例では、ビア接続の信頼性評価をする上で最小単位となる配線層数2層のもので示した。さらに最後に、第2配線層111及び第2配線間絶縁膜109上に第2キャップ層112及びカバー絶縁膜113が形成される。以上のように、第1配線層105と第2配線層111とがCuからなるビアによって直列に接続されたテストパターンを用いて、熱処理前後の抵抗を調べた。

#### 【0029】

上記の構造において、400℃、30分の熱処理を加え、熱処理前後の抵抗を調べたところ、図2に示すような結果が得られた。多層配線における繰り返しの単位構造となる、第1キャップ層 (cap) 106、第2配線間絶縁膜 (IMD: inter-metal dielectric) 109、第2ストッパ層 (stopper) 108、及びビア間絶縁膜 (ILD: inter-layer dielectric) 10

7をcap/IMD/stopper/ILDの順で表記するとして、SiN / SiO<sub>2</sub> / SiON / SiO<sub>2</sub>を用いた第1のテストパターン、SiN / L-Ox / SiON / SiO<sub>2</sub>を用いた第2のテストパターン、SiN / L-Ox / SiC / SiO<sub>2</sub>を用いた第3のテストパターン、SiN / L-Ox / Stopper-less / SiO<sub>2</sub>を用いた第4のテストパターンについて、抵抗の変動を調べた。なお、L-Oxは、SiOHから構成され、分子構造が梯子状 (Ladder) になっているLadder-Oxide (SiOH) の略である。試料数はそれぞれの層間膜構造において、5個ずつである。

#### 【0030】

この結果によると、第1のテストパターンでは30%、第2のテストパターンでは20%、第3のテストパターンでは8%、第4のテストパターンでは4%とビアの抵抗が増加していることがわかる。また、300℃時のビア底面の応力を三次元応力シミュレーションで求めたところ、第1乃至第4のテストパターンにおいて図3に示す抵抗変動のパターン依存性が得られ、応力と抵抗変動値との関係を図4に示す。

#### 【0031】

このことから、キャップ層、配線間絶縁膜、ストッパ層、及びビア間絶縁膜からなる層間膜を構成するそれぞれの材料の違いが、抵抗変化に寄与していることが判明した。

#### 【0032】

また、第1から第4のテストパターンを、23℃、150℃、250℃、300℃の各温度にて保存し、抵抗変動を調べてみたところ、300℃では150時間経過後に1%の抵抗変動が起ったが、250℃以下においては、150時間経過しても抵抗が変動しないという結果が得られた。

#### 【0033】

なお、抵抗が変動した試料を解析した結果、ビアと下層配線との接続部にてスリット状のボイドが確認された。

#### 【0034】

これらのことから、抵抗変動は、層間絶縁膜の応力がビア部に集中し、ビアと下部配線との間にボイドが形成されることに起因していること、及び層間絶縁膜を形成する複数の絶縁材料によってビアにかかる応力が異なることが判明した。

#### 【0035】

ここで、基板とその上に薄膜を堆積した時の、薄膜にかかる応力は次の式で一般的に表される(齋藤武博, 川野連也, 上野和良, "ULSI微細Cuダマシン配線の応力誘起ボイドに関する3-D弾塑性有限要素解析", 日本機学会論文集(A編)69巻682号(2003) pp.4-11.)

#### 【0036】

【数5】

$$(\alpha - \alpha_{sub}) \frac{E}{1 - \nu} (T_{process} - T)$$

このとき、 $\alpha_{sub}$ は、基板の熱膨張係数、 $\alpha$ 、 $E$ 、 $\nu$ は、それぞれ薄膜の熱膨張係数、弾性率、ポアッソン比を示しており、 $T_{process}$ は、成膜温度、 $T$ は応力緩和温度を示している。ここで応力緩和温度とは、ある材料に加わる応力が緩和される温度を指す。また、ここでは簡便のため、成膜温度で発生する膜の真性応力については無視している。

#### 【0037】

そこで、半導体チップ内のCu配線内の応力について考察すると、Cu配線は上述のとおり、複数の異なる材料から構成される層間絶縁膜から応力を受けているため、本来は各構成材料の物性値を元に三次元応力シミュレーションを行わなければ、配線内の応力を求めることはできない。しかし、次に示す層間絶縁膜全体の平均的な熱膨張係数 $\alpha'_{diel}$ を用いた方法を用いれば、そのような三次元応力シミュレーションを行わなくても、配線およびビアが層間絶縁膜から受ける応力の相対的な大きさを知ることが可能となる。ここで、層間絶縁膜の熱膨張係数 $\alpha'_{diel}$ は、各絶縁膜の熱膨張係数に体積分率をかけ、加算することによって定義する。したがって、 $n$ 層からなる層間絶縁膜の場合、 $\alpha'_{diel}$ は、 $\alpha'_{diel} = \alpha_1 \times r_1 + \alpha_2 \times r_2 + \dots + \alpha_n \times r_n$ となる。ここで、 $\alpha_1 \sim \alpha_n$ は、層間膜を形成する各絶縁

膜の熱膨張係数、 $r_1 \sim r_n$  は、各絶縁膜の体積分率を表している。例えば、2層の絶縁膜から層間膜が形成され、 $\alpha_1$  が1.0、 $r_1$  が1/3、 $\alpha_2$  が1.5、 $r_2$  が2/3の場合、 $\alpha'_{diel} = 1.0 \times 1/3 + 1.5 \times 2/3 = 4/3 = 1.3$ となる。

#### 【0038】

また、Cu配線は、300℃以上の高温では、塑性変形して応力緩和するが300℃未満であれば塑性変形や応力緩和はほとんどない。したがって、Cu配線を形成した後、例えば、半導体チップ形成後であっても、300℃以上の熱処理が加わると応力緩和し、その後の冷却過程において、Cuに対して層間絶縁膜からの引っ張り応力が発生する。そして、Cuの場合、上記のとおり、応力緩和してボイドが発生する温度は、前記実験より300℃以上であることがわかっているため、ボイド発生下限である、300℃とプロセスの最高温度 $T_{process\_max}$ との温度差で生じる引っ張り応力の値が重要となる。

#### 【0039】

これらのことより、ボイド発生温度範囲でCuが層間絶縁膜から受ける応力は、以下の式によって表すことができる。

#### 【0040】

#### 【数6】

$$(\alpha - \alpha'_{diel}) \frac{E}{1 - \nu} (T_{process\_max} - 300)$$

なお、 $\alpha'_{diel}$ は層間絶縁膜の熱膨張係数、 $\alpha$ はCuの熱膨張係数、 $E$ はCuの弾性率、 $\nu$ はCuのポアソン比を示しており、 $T_{process\_max}$ はプロセスの最高温度を示している。

#### 【0041】

この式に、第1乃至第4のテストパターンからなる層間絶縁膜の値（図6に示す第1乃至第4のテストパターンの値を使用）を入力し、400℃、30分アニール後の応力を求める。ここで、Cuの熱膨張係数、弾性率、ポアソン比は、 $18.0 [10^{-6}/K]$ 、 $105 [GPa]$ 、 $0.34$ とし（理科年表2003年、p.377, 399、丸善株式会社）、各絶縁膜の熱膨張係数として図8に示す値を使い計算すると、第1～第4のテストパターンの層間絶縁膜の熱膨張率 $\alpha'_{diel}$ はそれぞれ0.880、5.20、5.51、6.14となる。なお、各層間絶縁膜は、実質的に全面に形成されているため、各絶縁膜の厚さを用いて体積分率を演算した。これらの値を上記の式に代入すると、 $T_{process\_max}$ が400℃時の応力は、第1乃至第4のテストパターンにおいて、それぞれ、274、205、200、189[MPa]となる。これらの値をプロットしたところ、図5に示すグラフが得られた。

#### 【0042】

この図5のグラフと図4のグラフとを検証したところ、上記の式から得られた数値の相対関係が、三次元応力シミュレーションで得られた数値の相対関係とはほぼ一致し、相対的に同一な線分が得られていることが確認された。応力の絶対値については、三次元応力シミュレーションでは、 $43 \sim 44 [MPa]$ で急峻に変化し、上記の式では、 $200 [MPa]$ で急峻に変化しているという違いはあるものの、（2）及び（3）の材料で形成された層間絶縁膜の部分で急峻に抵抗変動が起っていることが共通して判る。これらのことから、シミュレーションモデルの構築や計算時間に非常に手間と時間のかかる三次元シミュレーションに依らなくても、式（6）に示した簡便な式を用いて、抵抗変動を引き起こす三次元シミュレーションでの応力値 $43 \sim 44 [MPa]$ に相当する、 $200 [MPa]$ という応力値以下となるように、プロセスもしくは層間絶縁膜構造を決定すれば良い。

#### 【0043】

したがって、上記の式において、層間絶縁膜を構成する材料、膜厚比が決まっている場合には、抵抗変動が急峻に変化する $200 [MPa]$ よりも低くなるように、プロセスの最高温度 $T_{process\_max}$ を設定すれば、抵抗変動を抑えることができることが判る。

## 【0044】

また、逆にプロセスの最高温度が決まっている場合には、層間絶縁膜を構成する材料、膜厚比を決定することも可能となる。

## 【0045】

この式に基づいて、複数の異なる絶縁膜からなる層間絶縁膜の応力を計算したところ図6に示される結果が得られた。例えば、パターン11の層間膜構造を有する層間絶縁膜では、450℃では224[MPa]となるため、ボイドが発生して抵抗変動が起るが、425℃では、187[MPa]となりボイドの発生を防止し抵抗変動を抑制することが可能となる。なお、Cuはその材料特性として、450℃を超える高温では急激に軟化し、配線の信頼性を保つことはできない。具体的には、450℃以上の熱処理によってビア抵抗上昇もしくは断線によるビア歩留まりの低下が発生する。したがって、層間膜の構造によらず、プロセス最高温度は450℃以下に設定する必要がある。

## 【0046】

上記の数式では、銅が応力緩和する温度300℃を用いたが、材料によって応力緩和する温度は異なる。したがって、上記の式を応力緩和する温度をTとして一般化すると、以下の数式が得られる。

## 【0047】

## 【数7】

$$(\alpha - \alpha'_{\text{diel}}) \frac{E}{1 - \nu} (T_{\text{process\_max}} - T) \leq A$$

上記の実施例では、配線が2層のものについて説明したが、配線が、2層以上の多層になった場合も、同じ構造パターンの繰り返しであれば、同様に計算することができる。

## 【0048】

上記の実施例では、デュアルダマシンによって形成された上層配線及びビアについて説明したが、以下の応用例では、シングルダマシン及びデュアルダマシン両方に適用することができる。

## 【0049】

上記の実施例では、配線及びビアの側面の層間絶縁膜がビアに及ぼす応力について考慮したが、第2の応用例として、最下層配線の下にある層間絶縁膜101、第1ストッパ層102及び第1配線間絶縁膜103を含んで、層間絶縁膜全体の熱膨張係数 $\alpha'_{\text{diel}}$ を計算することによって、より精度の高い値を得ることができる。これに加えて、第2の応用例として上層配線上に形成される層間絶縁膜（図示しない）を含んで、層間絶縁膜全体の熱膨張係数を計算することによって、さらに精度の高い値を得ることができる。

## 【0050】

また、第3の応用例として、第1ストッパ層102、第1配線間絶縁膜103、第1キャップ層106、ビア間絶縁膜107の熱膨張係数から層間絶縁膜全体の熱膨張係数を計算して、ビアにかかる応力を計算することもできる。なお、上記実施例では、銅配線に対する応力について説明したが、対象材料の弾性率、ポアソン比、熱膨張係数、及び応力緩和温度を変更することによって、他の材料に適用することも可能である。

## 【0051】

また、上記実施例では、配線としてCu又はCuを主成分とする合金を用いた場合について説明したが、ビアと下層配線の材料が異なる場合、例えば、ビアにタングステン、配線にCuを用いる場合にも適用することができる。

## 【図面の簡単な説明】

## 【0052】

【図1】本発明で用いたテストパターンの断面図

- 【図 2】 テストパターンの測定結果表  
【図 3】 抵抗変動のパター依存性  
【図 4】 三次元応力シミュレーションによって得られた抵抗変動と応力との関係を示すグラフ  
【図 5】 本発明の数式から得られた抵抗変動と応力との関係を示すグラフ  
【図 6】 各種層間膜における応力と温度の関係を示す表  
【図 7】 従来技術の断面図  
【図 8】 各種構成材料の熱膨張係数を示す図

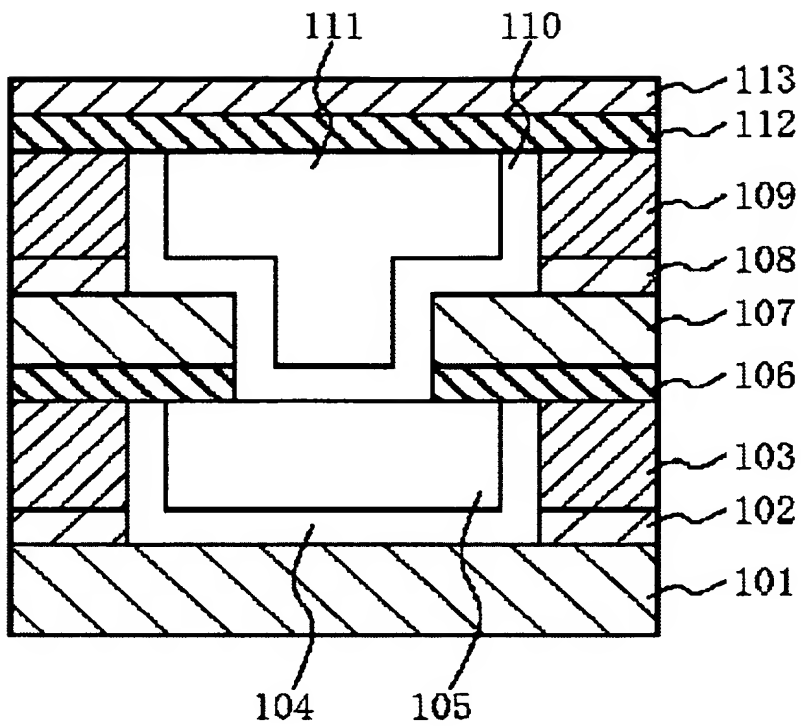
## 【符号の説明】

## 【0053】

101	層間絶縁膜	102	第1ストッパ層	103	第1配線間絶縁膜	104	第1バリア膜	105	第1配線層	106	第1キャップ層	107	ビア間絶縁膜	108	第2ストッパ層	109	第2配線間絶縁膜	110	第2バリア膜	111	第2配線層	112	第2キャップ層	113	カバー絶縁膜
-----	-------	-----	---------	-----	----------	-----	--------	-----	-------	-----	---------	-----	--------	-----	---------	-----	----------	-----	--------	-----	-------	-----	---------	-----	--------

【書類名】図面

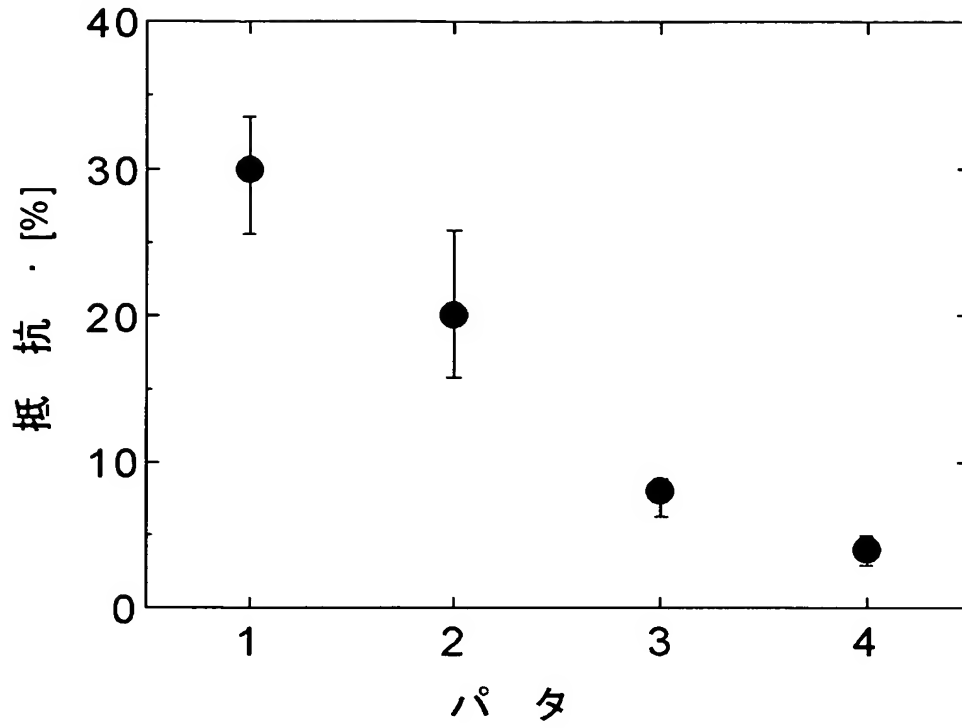
【図 1】



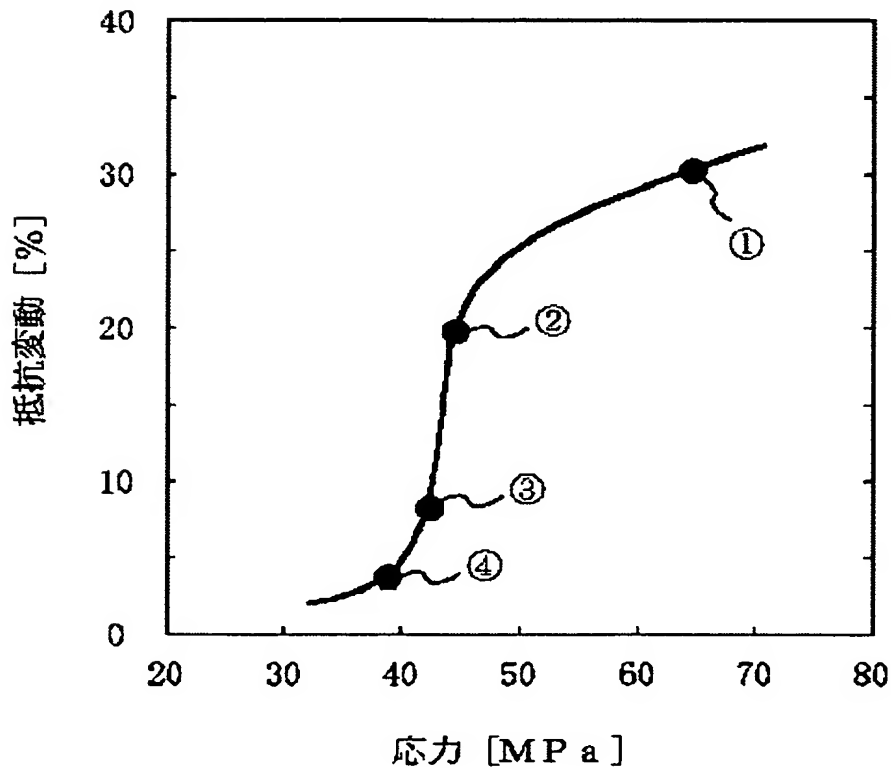
【図 2】

パターン	層間膜構造 (cap/IMD/stopper/ILD)	応力 [MPa]	抵抗変動 [%]
1	SiN/SiO <sub>2</sub> /SiON/SiO <sub>2</sub>	65.7	30
2	SiN/L-Ox/SiON/SiO <sub>2</sub>	45.2	20
3	SiN/L-Ox/SiC/SiO <sub>2</sub>	42.9	8
4	SiN/L-Ox/stopperless/SiO <sub>2</sub>	39.0	4

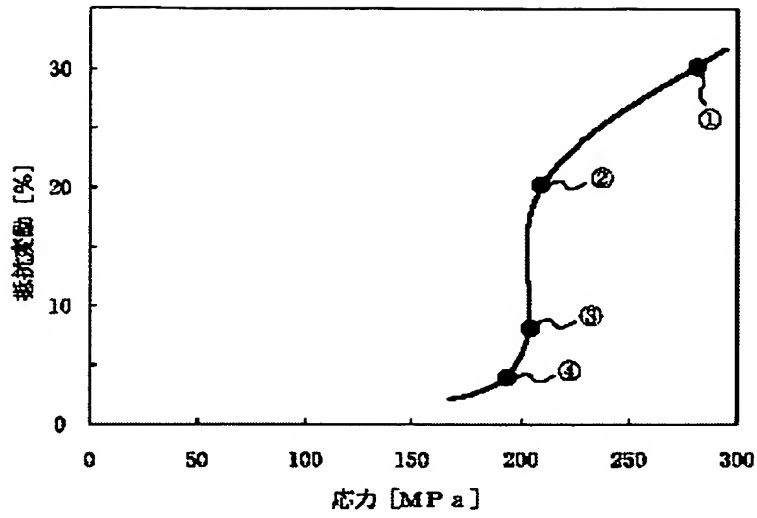
【図 3】



【図 4】



【図 5】

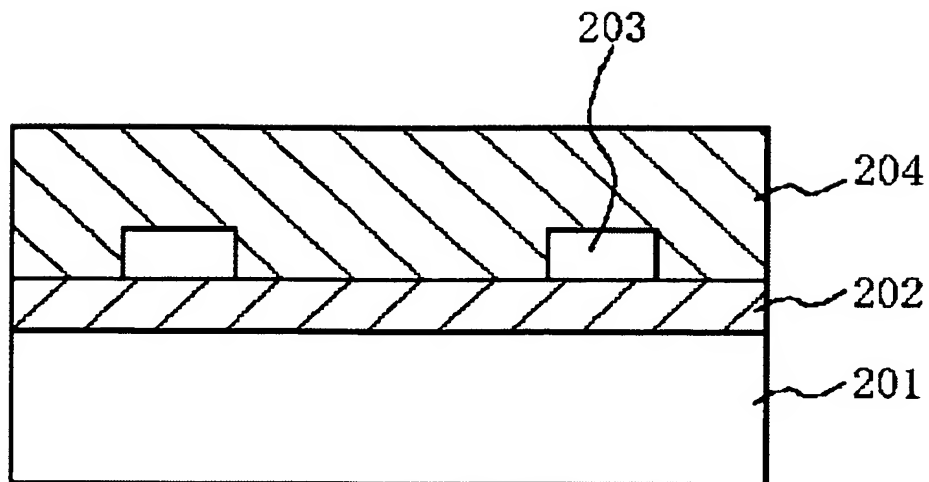




【図 6】

パターン/層間膜構造	層間膜厚比					T <sub>process</sub> max									
	cap	IND	stopper	ILD	総膜厚	$\alpha$ die1	450	425	400	375	350	325	300	275	250
1 SiN/SiO <sub>2</sub> /SiCN/SiO <sub>2</sub>	7	20	5	45	77	0.88	410.52	342.1	278.68	205.28	136.84	88.42			
2 SiN/L-Ox/SiCN/SiO <sub>2</sub>	7	20	5	45	77	5.2	308.78	255.65	204.52	163.39	102.26	51.13			
3 SiN/L-Ox/SiC/SiO <sub>2</sub>	7	20	5	45	77	5.51	288.48	249.55	199.84	149.79	99.82	49.81			
4 SiN/L-Ox/stopperless/SiO <sub>2</sub>	7	25		45	77	8.14	284.24	236.97	189.49	142.12	94.76	47.37			
5 SiN/SiO <sub>2</sub> /SiC/SiO <sub>2</sub>	7	20	5	45	77	1.18	409.2	336	269.8	201.6	134.4	87.2			
6 SiCN/SiO <sub>2</sub> /SiC/SiO <sub>2</sub>	7	20	5	45	77	1.37	398.64	332.2	263.76	199.32	132.88	66.44			
7 SiCN/L-Ox/SiC/SiO <sub>2</sub>	7	20	5	45	77	5.7	284.9	245.76	196.5	147.45	98.3	49.15			
8 SiCN/L-Ox/SiCN/SiO <sub>2</sub>	7	21	5	34	67	6.53	274.95	229.13	183.3	137.48	91.85	45.63			
9 SiCN/SiO <sub>2</sub> /SiCN	7	48	5		80	0.99	407.72	339.77	271.81	203.66	136.91	87.95			
10 SiN/SiO <sub>2</sub> /SiCN	5	55	5		85	1.04	406.64	338.97	271.09	203.92	136.66	87.77			
11 SiCN/SiO <sub>2</sub> /SiOC	10	7	40		57	6.64	224.36	186.96	149.57	112.18	74.78	37.39			
12 SiCN/SiO <sub>2</sub>	20	130			150	1.11	404.92	337.44	269.85	202.46	134.97	67.49			
13 SiCN/SiO <sub>2</sub> /SiOC	15	57	40		112	4.85	315.2	282.67	210.14	157.6	105.07	52.53			
14 SiCN/SiO <sub>2</sub>	22	183			205	1	407.84	338.7	271.76	203.62	136.88	67.94			
15 SiCN/SiO <sub>2</sub> /SiOC	5	3	72		80	10.23	188.38	155.32	124.28	93.19	62.13	31.06			

【図 7】



【図 8】

構成材料	熱膨張係数 [ $\times 10^{-6}/K$ ]
SiO <sub>2</sub>	0.528
SiN	2.791
SiON	2.708
SiC	7.412
SiCN	4.885
L-O <sub>x</sub> (SiOH)	17.189
SiOC	11

**【書類名】 要約書**

**【要約】 【課題】**複数の異なる絶縁膜からなる層間絶縁膜から配線にかかる応力を低減する。**【解決手段】**半導体基板上に下層配線を形成する工程と、下層配線を覆って多層からなる絶縁膜を形成する工程と、絶縁膜に配線溝と前記下層配線へのビアホールとを形成する工程と、配線溝に上層配線を埋め込むと同時に、ビアホールに前記下層配線と上層配線とを接続するビアを形成する工程とを有する半導体装置の製造方法において、絶縁膜形成後のプロセスによって前記ビア近傍にボイドが生じる臨界的な応力の値Aと、絶縁膜の熱膨張係数の体積平均 $\alpha'_{\text{diel}}$ 及びビアおよび上層配線の熱膨張係数 $\alpha$ 、弾性率E、ポアソン比 $\nu$ 、応力緩和温度Tとを用いて、絶縁膜形成後のプロセス最高温度 $T_{\text{process\_max}}$ または絶縁膜材料及び絶縁膜の膜厚比を設定することを特徴とする。 **【選択図】**

図 1

認定・付加情報

特許出願の番号	特願 2 0 0 4 - 0 3 7 9 0 2
受付番号	5 0 4 0 0 2 4 3 2 7 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 6 年 2 月 1 9 日

< 認定情報・付加情報 >

【提出日】 平成16年 2月16日

特願 2 0 0 4 - 0 3 7 9 0 2

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社